

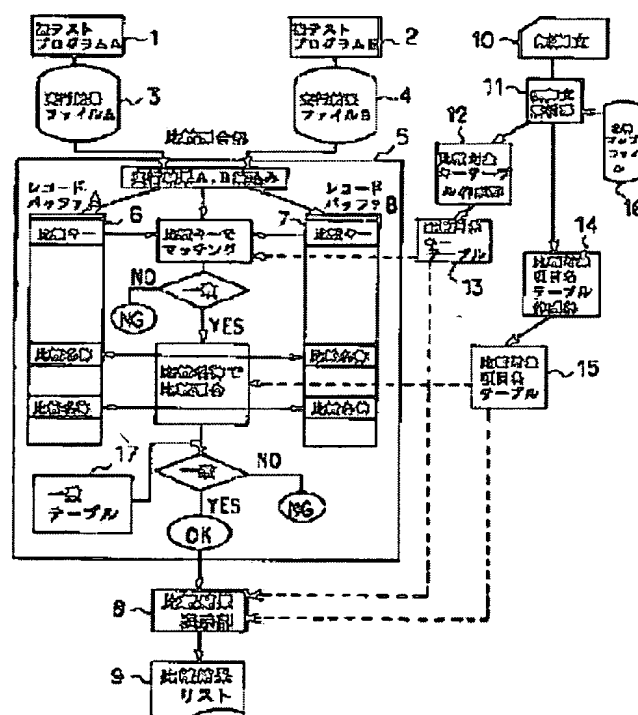
AUTOMATIC VERIFICATION PROCESSING SYSTEM

Patent number: JP5081072
Publication date: 1993-04-02
Inventor: TAKAHASHI HIROSHI
Applicant: HITACHI SOFTWARE ENG CO LTD
Classification:
 - international: G06F11/28
 - european:
Application number: JP19910237781 19910918
Priority number(s):

Abstract of JP5081072

PURPOSE: To compare and collate execution results by giving item names having conceptional meaning for the respective records of the execution results of two different tested programs.

CONSTITUTION: At the time of collating the content of the execution result file A3 of the tested program A1 with that of the execution result B4 of the tested program B2 and verifying test results, the item names having conceptional meaning are given to the respective records of the execution result file A3 and the execution result file B4 by a name map file 16 which is previously generated by an application program or manual input. The records of the respective item names have a location from the end of the records, a size and a field storing a data attribute. Thus, the execution results of the tested programs can be compared and collated by a simple operation which is only to designate the item name without being restricted by a system such as the sizes of the respective records of the execution results.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑫ 特許公報(B2)

平5-81072

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑭公告 平成5年(1993)11月11日

H 01 L 29/788
29/792

H 01 L 29/78

3 7 1

発明の数 2 (全7頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭62-72174

⑰ 公 開 昭63-237580

⑱ 出 願 昭62(1987)3月26日

⑲ 昭63(1988)10月4日

⑳ 発 明 者 吉 川 邦 良 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 佐 藤 一 雄 外2名

審 査 官 北 島 健 次

1

2

㉓ 特許請求の範囲

1 半導体基板の表面領域に互いに分離して設けられ、夫々ソース或いはドレイン領域となる第1、第2領域と、これら第1、第2領域間のチャンネル領域上に絶縁膜を介して設けられた電荷蓄積領域及び制御ゲートを具備し、前記電荷蓄積領域を具備し、前記制御ゲート側面の前記チャンネル領域上に配置すると共に、前記電荷蓄積領域と前記制御ゲートの間に絶縁膜を介在させたことを特徴とする半導体装置。

2 前記電荷蓄積領域が前記制御ゲート側面に形成した酸化シリコン膜、窒化シリコン膜、酸化シリコン膜から成る三層積層膜の窒化シリコン膜であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3 前記電荷蓄積領域が前記第1又は第2領域のどちらか一方の近傍にのみ設けられていることを特徴とする特許請求の範囲第1項に記載の半導体装置。

4 半導体基板の表面一部に絶縁膜を介して配置される制御ゲートを形成する工程と、この制御ゲートの周囲に第1の絶縁膜を形成する工程と、この第1の絶縁膜を電荷蓄積領域となる第2の絶縁膜で被覆する工程と、この第2の絶縁膜を第3の絶縁膜でおおう工程と、前記三種の絶縁膜を異方性エッチング法又は通常のエッチング法を使用して順次除去し、前記制御ゲートの側面の全部又は

一部に前記三種の絶縁膜を残存させて電荷蓄積領域を形成する工程と、前記三種の絶縁膜の形成前から前記三種の絶縁膜の形成後までのいずれかの時期に前記三種の絶縁膜あるいは前記制御電極をマスクとして第1及び第2の不純物を前記半導体基板表面にドーピングしてソース或いはドレイン領域となる第1、第2領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

5 前記第1の絶縁膜が酸化シリコン膜であり、第2の絶縁膜が窒化シリコン膜であり、第3の絶縁膜が酸化シリコン膜であることを特徴とする特許請求の範囲第4項記載の半導体装置の製造方法。

発明の詳細な説明

15 〔発明の目的〕

(産業上の利用分野)

本発明は、半導体装置及びその製造方法に関し、特に電荷柱蓄積領域と制御ゲートとを有する電氣的に情報の再書換え可能な読み出し専用半導体メモリ(EEPROM: Electrically Erasable Programmable Read Only Memory)のメモリセルを備えた半導体装置及びその製造方法に係わる。

(従来技術)

25 例えば、EEPROMのメモリセルは、従来より第7図に示す構造のものが知られている。即ち、図中の1はp型単結晶シリコン基板であり、この

基板 1 表面にはフィールド酸化膜 2 が選択的に設けられている。このフィールド酸化膜 2 で分離された島状の基板 1 領域には、互いに電気的に分離された n^+ 型のソース、ドレイン領域 3、4 が設けられており、かつこれら領域 3、4 間のチャンネル領域を含む基板 1 領域上にはゲート酸化膜 5 を介して浮遊ゲート 6 が設けられている。この浮遊ゲート 6 上には、絶縁膜 7 を介して制御ゲート 8 が設けられている。そして、前記制御ゲート 8 を含む全面は層間絶縁膜 9 で被覆されており、かつ該絶縁膜 9 上にはコンタクトホールを通して前記ソース、ドレイン領域 3、4 と接続するソース電極 10、ドレイン電極 11 が夫々設けられている（図中の A 部）。一方、前記島状の基板 1 領域に隣接して繋がった基板 1 領域表面には、前記ドレイン領域 4 の延在部である n^+ 型拡散領域 4' が設けられている。この拡散領域 4' 上には、絶縁薄膜 12 を介して前記浮遊ゲート 6 の延在部 6' が設けられている。こうした n^+ 型拡散領域 4'、絶縁薄膜 12 及び浮遊ゲート 6 の延在部 6' により図中の B に示す MOS キャパシタを構成している。

上述した構成のメモリセルにおいて、ドレイン電極 11 と制御ゲート 8 の間に高電圧、例えば 20V 以上の電圧を印加することにより絶縁薄膜 12 を通して浮遊ゲート 6 の延在部 6' と n^+ 型拡散領域 4' の間にトンネル電流が流れ、これによって浮遊ゲート 6 に対して電荷の注入、排出が行われる。EEPROM では、通常、浮遊ゲート 6 に電荷が蓄積されている状態を「0」、電荷が存在しない状態を「1」としており、図中の A 部におけるトランジスタの閾値電圧 (V_{th}) が高い状態及び低い状態に夫々対応する。つまり、かかる構成の EEPROM においては、絶縁薄膜 12 を通して浮遊ゲート 6 に対して電荷の注入を行ない、その結果として生じる A 部のトランジスタの閾値電圧を検出することにより、そのメモリセルに設定された情報を読み出している。

ところで、上記構成のメモリセルを製造する工程は A 部のトランジスタ領域について、通常のシリコンゲート MOSFET の作成工程と基本的に同一である。即ち、フィールド酸化膜 2 により分離された島状の基板 1 領域の表面に熱酸化によりゲート酸化膜 5 を形成させ、多結晶シリコンよりなる浮遊ゲート 6 及びフィールド酸化膜 2 をマスク

として n 型導電型を与える不純物、例えば砒素をイオン注入等により基板 1 表面にドーピングして n^+ 型のソース、ドレイン領域 3、4 を形成している。なお、前記浮遊ゲート 6 は同様な多結晶シリコンからなる制御ゲート 8 のパターンと同時に制御ゲート 8 に対して整合的に形成される。

（発明が解決しようとする問題点）

しかしながら、上述した構成の EEPROM メモリセルにおいては、B 部の MOS キャパシタ領域存在するため、製造工程が著しく複雑となる。即ち、B 部における n^+ 型拡散領域 4' は、A 部のドレイン領域 4 の延在部であるが、この領域は同じく A 部の浮遊ゲート 6 の延在部 6' の下に形成する必要があるため、前記工程のように浮遊ゲート 6 をマスクとして形成されるドレイン領域 4 と同一工程で形成することができず、浮遊ゲート 6 (6') を形成する以前に予め形成する必要がある。しかし、 n^+ 型拡散領域 4' と浮遊ゲートの延在部 6' 間に形成される絶縁薄膜 12 は、トンネル電流を流すに適当な厚さを持つていなければならない。従って、前述した A 部のトランジスタ領域のゲート酸化膜 5 の形成前に同時に成長した酸化膜をそのまま利用できず、この工程の後、一旦その部分の酸化膜を除去し、新たに熱酸化を行なつて絶縁薄膜 12 を形成する必要がある。

また、上記構成のメモリセルにおいて情報の読み出しを行なう場合には、制御ゲート 8 及びドレイン電極 11 に対して適当な読み出し電圧を印加し、浮遊ゲート 6 中に存在する電荷の有無に応じてソース、ドレイン領域 3、4 間を流れる電流の大きさにより、書込まれた情報を判別している。この時、浮遊ゲート 6 中に電荷が存在しない状態は、トランジスタの閾値電圧の低い状態に対応しており、かかる際には読み出し電圧の印加によりソース、ドレイン領域 3、4 間に電流が流れる。しかしながら、デバイスの微細化に伴ってチャンネル長が短くなった EEPROM のメモリセルでは読み出しに用いられるような比較的低い電圧（+5V）をドレイン 4 及び制御ゲート 8 に印加した場合でも、ソース領域 3 からドレイン領域 4 に向かって流れる電子は充分加速され、ドレイン領域 4 近傍のチャンネル領域でインパクトアイオニゼーションを起こし得るエネルギーを持つようになる。従って、高集積化されてチャンネル長

5

の短くなったEEPROMでは、情報の読み出しを行なっている際に、本来「1」の情報を持つてゐるはずのメモリセルの浮遊ゲート6にもエレクトロンがトラップされ、遂には「0」の情報が書込まれた時と同様の状態になってしまう結果が生じる。このような現象を通常、情報の誤書き込みと称し、第7図に示す構成のメモリセルを高集積化した場合、誤書き込みの発生は電源電圧を低下しない限り防止できない。しかしながら、電源電圧を低下させると、メモリセルからの情報の読み出し速度が低下してしまう。

本発明は、デバイスの微細化に適した構造のEEPROM等の半導体装置およびかかる半導体装置を著しく簡単な工程により製造し得る方法を提供しようとするものである。

〔発明の構成〕

（問題点を解決するための手段）

本願第1の発明は、半導体基体の表面領域に互いに分離して設けられ、夫々ソース或いはドレイン領域となる第1、第2領域と、これら第1、第2領域間のチャンネル領域上に絶縁膜を介して設けられた電荷蓄積領域及び制御ゲートを具備し、前記電荷蓄積領域が前記制御ゲート側面の前記チャンネル領域上に配置されたことを特徴とする半導体装置である。

本願第2の発明は、半導体基体の表面一部に絶縁膜を介して配置される制御ゲートを形成する工程と、この制御ゲートの周囲に第1の絶縁膜を形成する工程と、この第1の絶縁膜を電荷蓄積領域となる第2の絶縁膜で被覆する工程と、この第2の絶縁膜を第3の絶縁膜でおおう工程と、前記三種の絶縁膜を異方性エッチング法又は通常のエッチング法を使用して順次除去し、前記制御ゲート側面の全部又は一部に前記三種の絶縁膜を残存させて電荷蓄積領域を形成する工程と、前記三種の絶縁膜の形成前から前記三種の絶縁膜の形成後までのいずれかの時期に前記三種の絶縁膜あるいは前記制御電極をマスクとして第1及び第2の不純物を前記半導体基体表面にドーピングしてソース或いはドレイン領域となる第1、第2領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法である。

（作 用）

本発明によれば、電荷蓄積領域は制御ゲートの

6

側面に形成される。つまり電荷蓄積領域は、従来のようにトランジスタとは別個に形成されるのではなく、トランジスタ内に形成される。従つて、1トランジスタ/1セル構造となり、微細化に適したEEPROM等の半導体装置が実現できる。

また、電荷蓄積層を制御ゲートの側面に設けたことにより、ゲート電極は一層のみとなるため、製造も極めて容易となる。

（実施例）

以下、本発明をnチャネル型のEEPROMのメモリセルに適用した一実施例について第1図～第6図を参照して詳細に説明する。ここで、第1図は本実施例の構造を示し、第2図～第6図はその製造工程の各段階を示し、これら各図においてaはセルの平面図、bはA-A方向の断面図、cはB-B方向の断面図である。

第1図に示すように、本実施例の特徴は一層のみの制御ゲート104を有し、この制御ゲート104の側面に、シリコン酸化薄膜105、電荷蓄積層となる窒化シリコン膜106および酸化シリコン膜107から成る三層積層膜108が形成されている点にある。

以下、製造工程に従つて本実施例を説明する。

まず、p型シリコン基板101を選択酸化して該基板101の表面を島状に分離するためのフィールド酸化膜102を形成した後、900～1000℃の酸化雰囲気中で熱酸化して島状の基板101表面に厚さ250Å程度の酸化膜103を形成する（第2図図示）。つづいて、全面にLPCVD法により厚さ3000Åのn型又はp型不純物をドーブした多結晶シリコン膜を堆積した後、この多結晶シリコン膜をパターニングして多結晶シリコンからなる制御ゲート104を形成する（第3図図示）。次いで900℃～1000℃の酸化雰囲気中で熱酸化し、多結晶からなる制御ゲート104の周囲に厚さ100Åの酸化膜105を成長させた後、その全面に窒化シリコン膜106をLPCVD法により100Å～1000Å程度成長させ、さらに950℃6水素燃焼酸化により窒化シリコン膜106表面に50Å程度のシリコン酸化膜107を形成する（第4図図示）。つづいて、異方性エッチング法、例えばリアクティブイオンエッチング法（RIE法）を用いて、先に形成した三層積層膜（105、106、107）108をその膜厚分だけエッチング除去

7

する。この工程で制御ゲートの側面の周囲に三層積層膜108が残存する(第5図図示)。

次いでフィールド酸化膜102、制御ゲート104及三層積層膜108をマスクとしてn型不純物、例えば砒素を打込みエネルギー35Kev、ドー
5 プ量 $3 \times 10^{15} \text{cm}^{-2}$ の条件でイオン注入する(第6図図示)。つづいて、熱処理により砒素を活性化し、ドレイン、ソースとなるN⁺型拡散層112、113を形成する。さらに全面にCVD法により
10 SiO_2 膜114を堆積した後、周知の方法によりコンタクトホール115、A ℓ 電極116を形成し第1図のようなEEPROMのメモリセルを作成する。

この様なメモリセルにおいて、書き込みは制御ゲート104とドレインN⁺層112に高電圧例
15 えば10Vと8Vを印加することにより、チャネル熱電子を発生させてこれを前記三層膜108中の窒化シリコン膜106にトラップさせることにより行ない、これにより注入前には約1Vのしきい値電圧が約10msで7V程度になる。情報の読み出しはセルのしきい値電圧の差を検知することにより行ない、例えば制御ゲート104に5V、ド
20 レイン112に3Vを印加して電流量の差をみる。また、情報の消去は、制御ゲート104に負電圧例えば-6Vを印加し、ドレイン112に正の電圧例えば9V印加することにより行なう。すなわち、ドレインブレイクダウン電圧がゲート電圧に依存し、制御ゲート104に負電圧を印加した場合ドレインブレイク電圧が低下することを利用して選択的に消去が可能となる。このように制御ゲ
30 ート電圧とドレイン電圧との組合わせにより消去ができるので、ビット単位の消去が可能である。

上述のように、本発明を用いれば、一層のポリシリコンゲート電極を有するビット単位消去が可能なEEPROMセルが実現される。また、トランジスタ/1セル構成であるため、従来に比べ極めてセルの大きさが小さくなる。さらに、ゲート電極が一層構造であるため、従来に比べ極めて簡単

8

な方法で高集積可能なEEPROMセルが実現される。

なお、上記実施例では制御ゲート104をn型又はp型不純物をドーブしたポリシリコンから形成したが、これに限定されず、例えばモリブデン、タングステン、チタン、タンタル等の高融点金属の硅化物により形成してもよい。又、上記実施例ではメモリセルとしてnチャネル型の場合について説明したが、これに限定されず、pチャネル型のものでも同様な効果を得ることができる。さらに、上記実施例では電荷蓄積領域となる三層積層膜108はリアクティブイオンエツティング法により、ドレイン、ソース両n⁺層113、112に近接するべく形成したが、勿論PEP法を用いてドレイン領域113側のみにもうけても良
い。

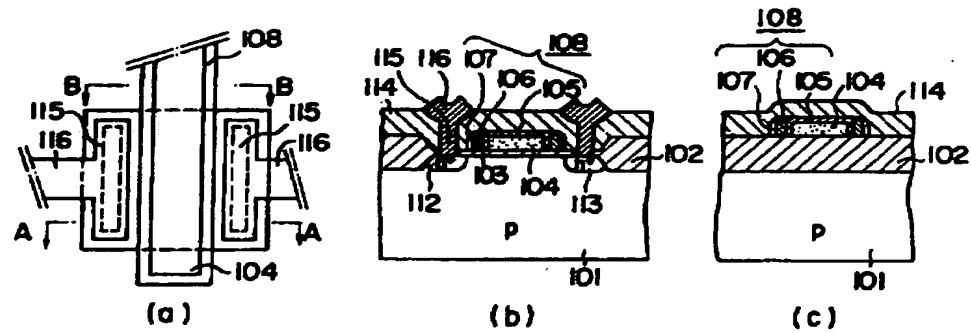
〔発明の効果〕

以上詳述した如く、本発明によれば、ゲート電極を一層とし、その側面に電荷蓄積領域を形成したので、高集積化に適したセル面積の小さい1トランジスタ/1セル構造のEEPROMの半導体装置及びかかる半導体装置を極めて簡単に製造できる方法が提供できる。

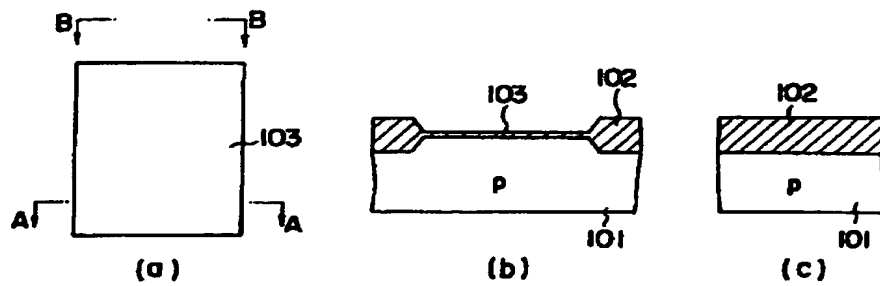
図面の簡単な説明

第1図は本発明の一実施例におけるEEPROMのメモリセルの構成を示す図、第2図～第6図は同実施例の製造工程を示す説明図、第7図は従来のEEPROMのメモリセルを示す断面図であり、第1図～第6図のaは平面図、bはA-A方向の断面図、cはB-B方向の断面図である。

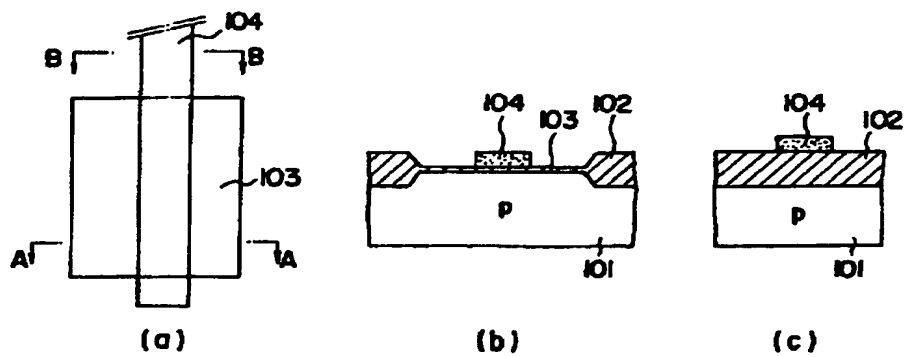
101…p型シリコン基板、102…フィールド酸化膜、103…酸化膜、104…制御ゲート、105…酸化薄膜、106…窒化シリコン膜、107…酸化シリコン膜、108…三層積層膜、112、113…n⁺型拡散領域、114…酸化シリコン膜、116、117…A ℓ 電極。



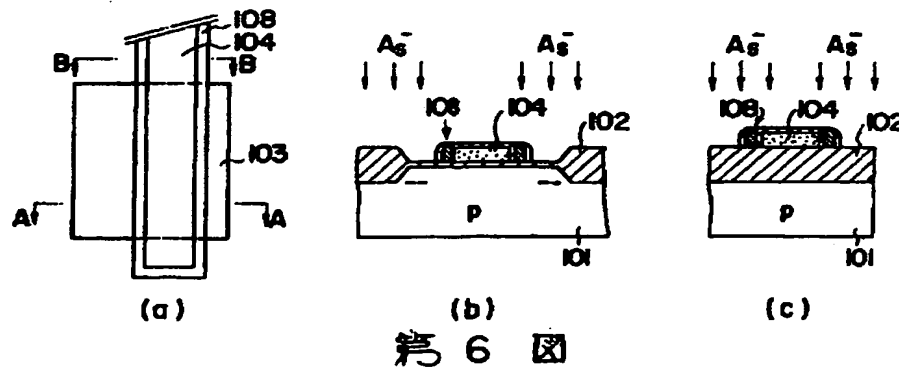
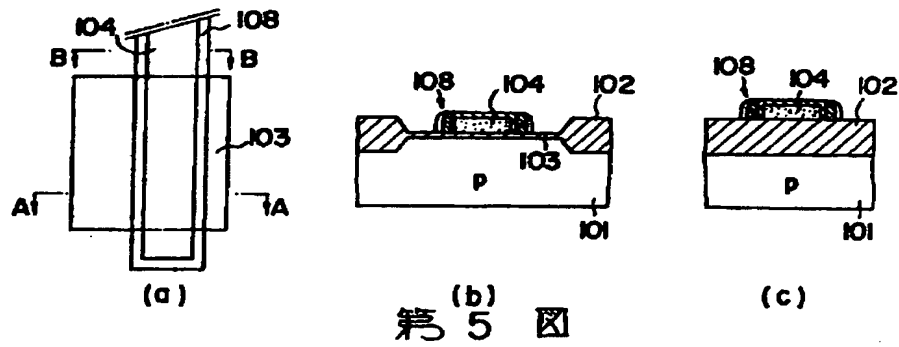
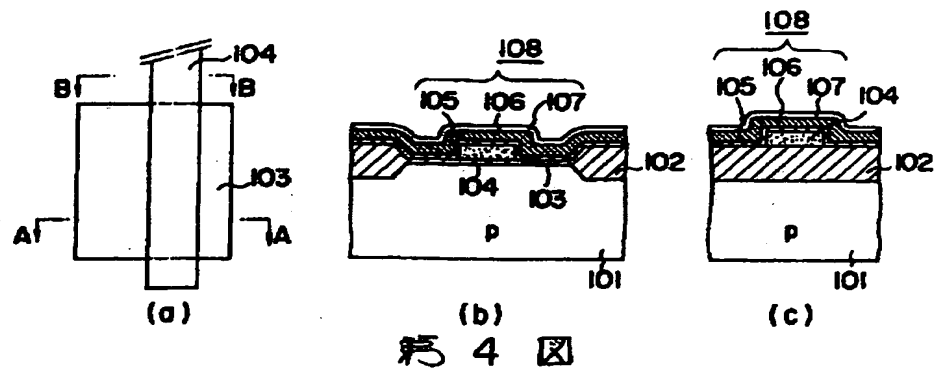
第 1 図



第 2 図



第 3 図



特公 平 5-81072

